

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

JPAB

CLIPPEDIMAGE= JP408286943A

PAT-NO: JP408286943A

DOCUMENT-IDENTIFIER: JP 08286943 A

TITLE: ABNORMALITY DETECTOR FOR DATA PROCESSOR

PUBN-DATE: November 1, 1996

INVENTOR-INFORMATION:

NAME

IMAI, NAOKI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

TAKAOKA ELECTRIC MFG CO LTD

N/A

APPL-NO: JP07114056

APPL-DATE: April 17, 1995

INT-CL (IPC): G06F011/22; G06F003/06 ; G06F011/30 ; G06F013/00

ABSTRACT:

PURPOSE: To prevent an entire system from being affected by shortening the time for abnormality detection, facilitating the discrimination of an abnormal part and preventing a transmission line from being occupied by abnormality at a data processor.

CONSTITUTION: The data processor is provided with an independently operable bus interface 2 and a data processing part (disk controller 3) and these elements are connected by an internal bus 5. The bus interface 2 requests diagnosis to the data processing part and when this diagnosis is not normally completed, the bus interface 2 reports the generation of abnormality to the other data processor (a CPU 7) and is disconnected from this transmission line.

COPYRIGHT: (C)1996, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-286943

(43) 公開日 平成8年(1996)11月1日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 11/22	3 3 0		G 0 6 F 11/22	3 3 0 M
3/06	3 0 4		3/06	3 0 4 R
11/30		7313-5B	11/30	K
13/00	3 0 1		13/00	3 0 1 D

審査請求 未請求 請求項の数 1 F D (全 4 頁)

(21) 出願番号 特願平7-114056

(22) 出願日 平成7年(1995)4月17日

(71) 出願人 000002842

株式会社高岳製作所

東京都千代田区大手町2丁目2番1号

(72) 発明者 今井 直樹

愛知県西春日井郡西枇杷島町芳野町3丁目

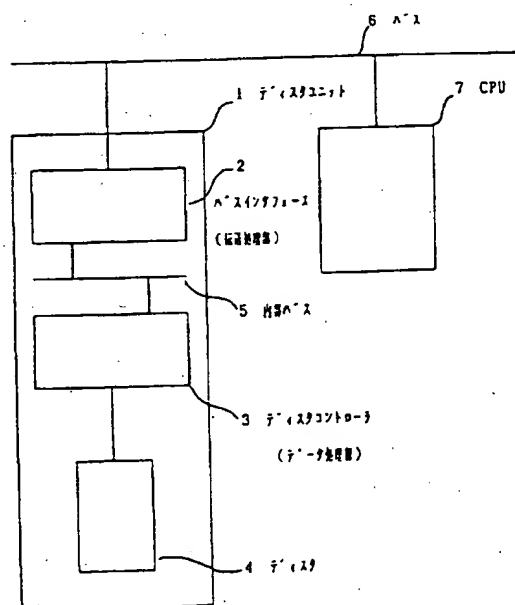
1番地 株式会社高岳製作所名古屋事業所
内

(54) 【発明の名称】 データ処理装置の異常検出装置

(57) 【要約】

【目的】 異常検出時間を短縮すると共に、異常部位の判定を容易にし、またデータ処理装置の異常による伝送路の占有を防止することにより、系全体への影響を与えないようにする。

【構成】 データ処理装置に独自に動作可能なバスインタフェース2とデータ処理部(ディスクコントローラ3)とを設け、これらを内部バス5によって接続する。バスインタフェース2はデータ処理部に対し診断要求を行いこれが正常に完了しなければバスインタフェース2は他のデータ処理装置(CPU7)に異常発生を通知すると共にこの伝送路から離脱するように構成する。



【特許請求の範囲】

【請求項1】 伝送路に接続され、かつこの伝送路に接続された他のデータ処理装置との間でデータ授受を行うデータ処理装置の異常検出装置において、前記データ処理装置はデータ授受の実行および管理を行う伝送処理部と、授受データを処理するデータ処理部とを有し、前記伝送処理部は前記データ処理部を監視して、異常を検出したときには、前記他の装置に異常発生を通知するとともに、伝送路から離脱するようにしたことを特徴とするデータ処理装置の異常検出装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、伝送路を用いてデータ授受及びその処理を行うデータ処理装置の異常検出装置に関する。

【0002】

【従来の技術】従来のデータ処理装置の異常検出装置においては、マスタであるデータ処理装置からスレーブであるデータ処理装置に一定周期毎に診断データを送り、この応答が所定時間内に得られなければマスタであるデータ処理装置がスレーブであるデータ処理装置を異常と判定するものや、スレーブであるデータ処理装置がマスタであるデータ処理装置に一定周期毎に診断データを送り、マスタであるデータ処理装置はこの診断データの受け取り間隔が所定時間以上となった場合にスレーブであるデータ処理装置を異常と判定するものがある。

【0003】

【発明が解決しようとする課題】しかしながら、上記従来の異常検出装置においては、スレーブであるデータ処理装置の異常検出がマスタであるデータ処理装置の管理するタイマによって行われるため、異常発生から検出までに時間差が生じるうえ、スレーブであるデータ処理装置の異常か、あるいは伝送路の異常かの判定ができないという欠点がある。また、いずれかのデータ処理装置の異常により伝送路を占有してしまい、他のデータ処理装置が動作できなくなるといった欠点もある。

【0004】そこで、本発明の異常検出装置では、異常検出時間を短縮すると共に、異常部位の判定を容易にし、またデータ処理装置の異常による伝送路の占有を防止することにより、系全体への影響を与えないようにしたものである。

【0005】

【課題を解決するための手段】本発明では、伝送路に接続され、かつこの伝送路に接続された他のデータ処理装置との間でデータ授受を行うデータ処理装置の異常検出装置において、前記データ処理装置はデータ授受の実行および管理を行う伝送処理部と、授受データを処理するデータ処理部とを有し、前記伝送処理部は前記データ処理部を監視して、異常を検出したときには、前記他の装置に異常発生を通知するとともに、伝送路から離脱する

ようにする。

【0006】

【作用】上記のように構成された本発明の異常検出装置においては、各データ処理装置が自装置の異常を詳細、かつ速やかに他のデータ処理装置に通知でき、自発的に伝送路から離脱できるようになる。

【0007】

【実施例】図1は、本発明の実施例を示すブロック図である。本実施例ではスレーブであるデータ処理装置としてディスクユニット1が、伝送路であるバス6を介して、マスタとして設けた別のデータ処理装置であるCPU7に接続してある。ディスクユニット1の内部には、伝送処理部としてのバスインタフェース2が内部バス5によりデータ処理部であるディスクコントローラ3と接続してあり、更にディスクコントローラ3は記憶媒体であるディスク4と接続してある。

【0008】図2は、本実施例の異常検出装置の動作を示す図である。CPU7はディスクユニット1のバスインタフェース2に一定周期T1毎に診断要求8a、8b・・・を行い、バスインタフェース2はこれに対する診断返送9a、9b・・・を一定時間T2以内にCPU7に通知するようにしてあり、CPU7はこの一定時間T2以内に診断返送9a、9b・・・が通知されなければ、バス6を含めたディスクユニット1の「系」を異常と判定する。しかし、この場合、期間(T1-T2)においては、ディスクユニット1等の異常検出ができないため、ディスクユニット1の内部で以下の通り異常検出を行う。バスインタフェース2は、診断返送9a、9b・・・をCPU7に通知すると同時に、ディスクコントローラ3に対し模擬データ10aの書き込みを行う。ディスクコントローラ3はこのデータをディスク4に書き込み、再び読み出しを行って、この読み出しデータ11aをバスインタフェース2に転送する。バスインタフェース2は、模擬データ10aと読み出しデータ11aとの比較12aを行い、以降同様に、模擬データ10bと読み出しデータ11bとの比較12bを、模擬データ10cと読み出しデータ11cとの比較12cをそれぞれ行い、2回以上不一致が発生すると、CPU7に対して異常発生13を通知する。

【0009】一方、バスインタフェース2は図3に示す回路構成を有し、正常状態では、ディセーブル入力14は「L」レベルとなっており、ドライバー15がアイソレータ16のダイオード17を動作させ、トランジスタ18が導通状態となる。これにより、バス6と内部バス5は接続状態となり、バス6のデータをディスクユニット1内に取り込める。次に、バスインタフェース2が異常を検出すると、CPU7への異常発生13の通知後、これを利用して生成するディセーブル入力14を「H」レベルにセットする。これにより、ドライバー15はアイソレータ16のダイオード17を停止させ、トランジ

スタ18が絶縁状態となる。この結果、バス6と内部バス5は絶縁状態となり、バス6側から見ると、ディスクユニット1が、存在しないような状態（離脱状態）を作ることができるようにしてある。

【0010】本実施例は伝送路としてバス6を使用したものであるが、装置相互の結合が「疎」であるネットワーク（LAN）上のデータ処理装置への適用も可能であり、同様な効果が得られる。

【0011】

【発明の効果】以上説明したように、本発明によれば異常検出が正確かつ短時間に可能になり、同時に一装置の異常時における「系」（システム）への影響を軽減で

き、「系」としての高信頼化が可能となる。

【図面の簡単な説明】

【図1】本発明の実施例を示すブロック図である。

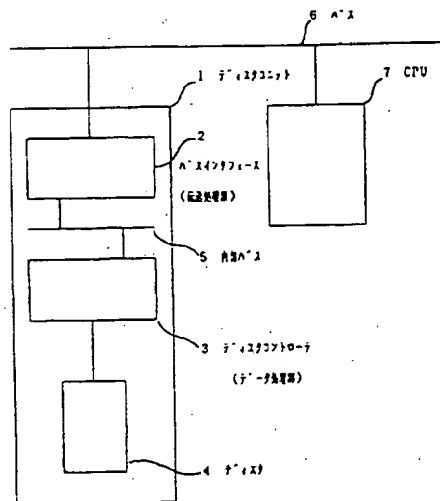
【図2】その動作を説明する図である。

【図3】バスインタフェース2の回路構成図である。

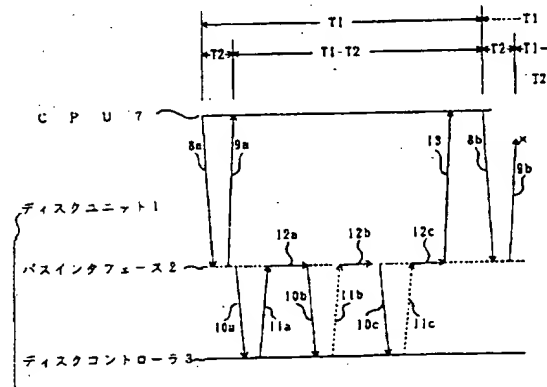
【符号の説明】

- 1 ディスクユニット
- 2 バスインタフェース
- 3 ディスクコントローラ
- 10 バス
- 7 CPU

【図1】



【図2】



(4)

特開平8-286943

【図3】

